

Министерство высшего и среднего специального
образования РСФСР
Куйбышевский ордена Трудового Красного Знамени
авиационный институт имени академика С.П.Королева

ИНТЕГРАЛЬНЫЕ МИКРОСХЕМЫ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

Методические указания
к лабораторной работе

Куйбышев 1990

Составители: А.И.К о л п а к о в,
С.А.Б о р о д и н

УДК 621.382.005

Интегральные микросхемы запоминающих устройств:
Метод.указания к лаб.работе /Куйбышев.авиаци.ин-т;
Сост. А.И.Колшаков, С.А.Бородин.Куйбышев,1990. 24 с.

Изложены теоретические основы интегральных запоминающих устройств, приведены их классификация и характеристики. Методика проведения предусматривает экспериментальное определение параметров серийно выпускаемых интегральных запоминающих устройств и выполнение сравнительного анализа результатов измерения.

Рекомендуются студентам спец. 23.01.

Составлены на кафедре "Микроэлектроника и технология РЭА" и являются частью лабораторного цикла по курсу "Основы микроэлектроники".

Печатается по решению редакционно-издательского совета
Куйбышевского ордена Трудового Красного Знамени
авиационного института им.академика С.П.Королева

Рецензент В.В.З а й ц е в

Ц е л ь р а б о т ы: закрепление знаний по теоретическим основам микроэлектроники путем экспериментального изучения параметров интегральных запоминающих устройств (ИЗУ), сравнения полученных результатов с приведенными в литературе, установления класса микросхем и возможных механизмов паразитных связей.

З а д а н и е:

1. По конспекту лекций изучаемого курса и рекомендованной литературе изучить теоретические основы интегральных запоминающих устройств.

2. Подготовить ответы на контрольные вопросы.

3. Используя справочную литературу, установить параметры рекомендованной микросхемы.

4. Изучить порядок выполнения работы и правила эксплуатации электронных приборов.

5. Собрать схему лабораторного стенда.

6. Измерить параметры микросхемы и оформить результаты в виде таблицы.

7. Провести анализ полученных результатов и сделать выводы.

П р и б о р ы и п р и н а д л е ж н о с т и: осциллограф типа С1-79, генератор стандартных сигналов типа Г5-56, лабораторный стенд, набор проводников.

ОБЩИЕ ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ О ЦИФРОВЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВАХ

Для обработки и хранения цифровой информации цифровая техника используется с 40-х годов. Впервые цифровые системы были использованы в вычислительных машинах, построенных на электромагнитных реле и электронных лампах. Появление полупроводниковых приборов и интегральных микросхем (ИМС) дало новый толчок развитию цифровой техники. ИМС стали основной технической базой современных ЭВМ. Непрерывное повышение степени интеграции ИМС позволяет создавать на одном кристалле полупроводника цифровые системы, эквивалентные вычислительным машинам четвертого поколения, например на больших и сверхбольших ИМС.

Классификация и основные параметры ИМС ЗУ

Среди цифровых ИМС различного функционального назначения особое место занимают большие интегральные схемы запоминающих устройств (БИС ЗУ), предназначенные для приема, хранения и выдачи информации, представленной двоичным кодом. По выполняемым функциям, вид которых определяется режимами работы ИМС ЗУ, их условно можно разделить на четыре класса: оперативные, постоянные, ассоциативные и последовательного типа.

БИС ЗУ (оперативных, постоянных, ассоциативных) состоят из накопителя информации и схем управления. Накопитель предназначен для хранения информации и представляет собой матрицу запоминающих элементов (ЗЭ), реализуемых на простейших логических схемах или отдельных транзисторах (иногда диодах). В качестве схем управления в БИС ЗУ применяют дешифраторы (ДШ), адресные формирователи, усилители считывания и записи, схемы синхронизации и местного управления. Состав схем управления зависит от технологии выполнения БИС ЗУ, в которых предусматривают также схемы, обеспечивающие согласование БИС ЗУ по логическим уровням с другими типами серийно выпускаемых ИМС.

По принципу построения накопителя информации БИС ЗУ строятся со словарной (однокоординатной выборкой) или матричной организацией (двухкоординатной выборкой). Метод словарной организации выборки применим только в БИС с небольшим количеством запоминающих элементов (ЗЭ), что обусловлено сложностью построения дешифратора с числом выходов, равным числу ЗЭ. Матричный метод предусматривает построение накопителя в виде квадратной матрицы из ЗЭ и использование двух дешифраторов для выбора столбца и строк.

По способу доступа к информации различают БИС ЗУ с произвольной выборкой (ЗУПВ) в произвольный момент времени в любых ЗЭ. В БИС ЗУ с последовательной выборкой содержимое каждого ЗЭ может изменяться или выдаваться только через определенные интервалы времени, называемые периодом обращения (период обращения делится на отдельные такты, число которых равно количеству ЗЭ).

В зависимости от структуры БИС ЗУ организация выборки в них может быть одноразрядной (осуществляется выборка ЗЭ, хранящего один разряд информации) и словарной (одновременно выбирается слово или его часть, хранящаяся в нескольких ЗЭ).

Для построения БИС ЗУ (накопителя и схем управления) используется различная элементная база: диоды, биполярные и МДП-транзисторы, а

также простейшие логические элементы типа ТТЛ, ТТЛШ, И²Л, ЭСЛ, МДПТЛ или КМДПТЛ, модифицированные применительно к ЗУ. Элементная база, а также ее схемотехническое построение и определяют следующие основные характеристики БИС ЗУ.

1. Информационная емкость N – максимальный объем хранимой информации (бит, Кбит) – определяется числом ЗЭ в накопителе. При одинаковой емкости БИС ЗУ могут иметь различную организацию выборки, например, для $N = 4096$ можно организовать следующие выборки: 4096x1, 1024x4, 512x8, 256x16.

2. Быстродействие БИС ЗУ характеризуется двумя основными параметрами: временем выборки адреса $t_{8.a}$ и временем цикла записи $t_{4.3n}$ или считывания $t_{4.04}$. Время $t_{8.a}$ – интервал времени между моментом подачи сигнала выборки и появлением информации на выходе БИС. Время цикла t_{4} – интервал времени между началами или окончаниями сигналов на одном из управляющих входов, в пределах которого БИС выполняет одну из функций: запись $t_{4.3n}$, считывание $t_{4.04}$, запись-считывание $t_{4.3n.04}$, считывание-запись $t_{4.04.3n}$. Поскольку значения $t_{8.a}$ и t_{4} определяются элементной базой, используемой в накопителе и схемах управления, в ряде случаев в одной БИС для накопителя и схем управления используют элементы различных типов.

3. Логический уровень (перепад). В схемах, реализующих функции, логические нули и единицы обычно представлены разными значениями напряжения: напряжением или уровнем нуля U^0 и напряжением или уровнем единицы U^1 . Разность уровней единицы и нуля называют л о г и ч е с к и м п е р е п а д о м $\Delta U = U^1 - U^0$. Логический перепад должен быть достаточно большим, чтобы "0" и "1" отличались друг от друга и случайные помехи не давали ложных срабатываний.

4. Нагрузочная способность характеризует максимальное число микросхем, аналогичных рассматриваемой, которые можно одновременно подключить к ее выходу без искажения передачи информации. Часто нагрузочную способность называют к о э ф ф и ц и е н т о м р а з в е т в л е н и я п о в ы х о д у и выражают целым положительным числом n . Чем больше n , тем шире логические возможности микросхемы и тем меньше число микросхем, необходимое для построения сложного вычислительного устройства. Однако увеличение числа n приводит к ухудшению статической помехоустойчивости и среднего времени задержки сигнала. Для ослабления этого явления в состав одной серии ИМС входят логические элементы с $n = 4...25$.

5. Коэффициент объединения по входу m характеризует максимальное число логических входов функционального элемента микросхемы. С увеличением m расширяются логические возможности микросхемы за счет выполнения функций большим числом элементов на одном типовом элементе И-НЕ, ИЛИ-НЕ и др.; при этом для создания сложного устройства требуется меньшее число микросхем. Однако следует помнить, что увеличение m ухудшает другие основные параметры микросхемы: быстродействие, помехоустойчивость, нагрузочную способность. Различают коэффициенты объединения по входу И- $m_{И}$ и по входу ИЛИ - $m_{ИЛИ}$. В существующих сериях ИМС основные логические элементы выполняются обычно с небольшим числом входов ($m_{И} = 2-6$, $m_{ИЛИ} = 2-4$). Для увеличения m на практике в серию ИМС вводят специальную схему логического расширения, подключение которой к основному элементу позволяет увеличить $m_{И}$ или $m_{ИЛИ}$ до 10 раз и более.

Среднее время задержки сигнала $t_{з,ср}$ характеризует быстродействие логических ИМС и определяет среднее время прохождения сигнала через одну микросхему в устройстве.

Если цепь состоит из N последовательно включенных однотипных логических ИМС (N - четное число), то время прохождения сигнала по цепи

$$T_N = \frac{N}{2} t_z^+ + \frac{N}{2} t_z^-,$$

где t_z^+ и t_z^- - время задержки включения и выключения одной микросхемы. Следовательно, $t_{з,ср} = \frac{T_N}{N}$ или $t_{з,ср} = \frac{t_z^+ + t_z^-}{2}$.

Величина $t_{з,ср}$ определяется режимом работы транзисторов в микросхеме (насыщенном или ненасыщенном), а также потребляемой мощностью.

6. Статическая помехоустойчивость характеризует максимально допустимое напряжение статической помехи, действующей на данную и соседние с ней микросхемы (соседние учитываются посредством паразитных связей) с одной из внешних цепей.

Логическая ИМС в статическом режиме может находиться в одном из двух состояний - открытом или закрытом. В соответствии с этим различают помехоустойчивости закрытой схемы по отношению к отпирающей помехе U_n^+ и открытой схемы по отношению к запирающей помехе U_n^- . Статическими принято называть помехи, величина которых остается по-

стоянной в течение времени, значительно превышающего время осуществления переходных процессов в схеме. Появление помех такого типа обусловлено в большинстве случаев падением напряжения на проводниках, соединяющих микросхемы в устройстве. Наиболее опасные помехи возникают в шинах питания (гальваноманнитные эффекты).

Помехоустойчивость логических ИМС зависит от типа схемы, режима работы транзистора, напряжения источников питания и топологии. Часто используют не абсолютные значения напряжений максимально допустимых статических помех по входу, а их отношения к напряжению минимально допустимого перепада логических уровней ΔU_{min} . В этом случае помехоустойчивость характеризуется безразмерной величиной, называемой коэффициентом статической помехоустойчивости:

$$K_n^{\pm} = \frac{U_n^{\pm}}{\Delta U_{min}}$$

Этим коэффициентом пользуются, когда необходимо сравнить логические ИМС различных типов.

7. Мощность, потребляемая микросхемой, определяется выражением

$$P = \sum_{j=1}^n U_{npj} J_j,$$

где U_{npj} — напряжение j -го источника питания;
 J_j — ток в соответствующем выводе схемы.

Потребляемая мощность определяется режимом работы транзисторов, поэтому в качестве основного параметра используют не мгновенное, а среднее значение мощности, потребляемой микросхемой за достаточно большой промежуток времени:

$$P_{cp} = \frac{1}{2} (P_0 + P_1),$$

где P_0 и P_1 — мощности, потребляемые схемой в состоянии "Включено" и "Выключено" соответственно. Это выражение справедливо только в том случае, когда мощность, потребляемая во время переходных процессов, значительно меньше мощности в одном из статических состояний. Если это условие не выполняется, микросхемы логических ИМС характеризуются еще и средним значением мощности, потребляемой при максимальной частоте переключения элемента.

По потребляемой мощности цифровые ИМС делятся на мощные $25 \leq P_{cp} \leq 250$ мВт, средней мощности $3 \leq P_{cp} \leq 25$ мВт, маломощные $0,3 \leq P_{cp} \leq 3$ мВт, микромощные $1 \leq P_{cp} \leq 300$ мкВт, нановаттные $P_{cp} < 1$ мкВт.

Цифровые ИМС, потребляющие большую мощность, характеризуются наибольшим быстродействием. В вычислительных устройствах, у которых быстродействие не является определяющим параметром, используют микромощные и маломощные схемы.

Конкретные значения основных параметров цифровых ИМС определяются их конструктивно-техническими и схемотехническими решениями.

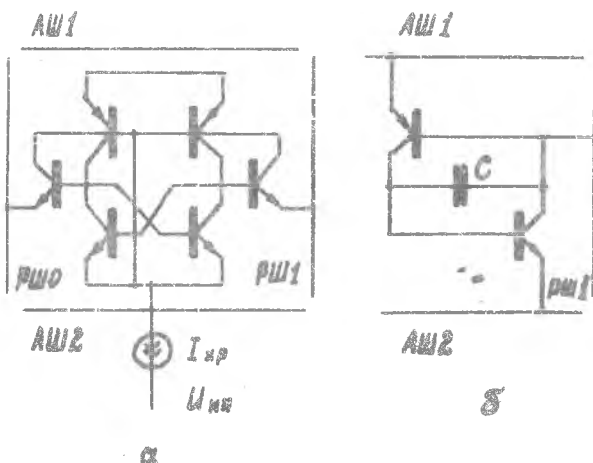
Оперативные запоминающие устройства

Оперативные запоминающие устройства (ОЗУ) осуществляют запись, хранение и считывание произвольной двоичной информации с заданным быстродействием. БИС ОЗУ предназначены для построения основной памяти цифровых систем, в которой хранятся программы и массив данных, определяющие процесс текущей обработки информации. Отдельную группу в этом классе БИС составляют сверхоперативные ЗУ (СОЗУ), быстродействие которых соответствует скорости процессора системы.

По принципу хранения информации в матрице запоминающих элементов (ЗЭ) и способу управления ими все БИС ОЗУ подразделяются на статические, динамические, псевдстатические и квазистатические. В статических ОЗУ хранение информации в ЗЭ осуществляется за счет подключения их к постоянному источнику питания. В динамических и псевдстатических ОЗУ информация хранится в ЗЭ в виде накопленных зарядов на паразитных емкостях диодов или транзисторов, а дисперсия зарядов, т.е. восстановление информации происходит периодически во время действия внешних (для псевдстатических ОЗУ) синхронизирующих сигналов. В квазистатических ОЗУ применяют статические ЗЭ и динамический способ управления периферийными схемами для снижения потребляемой мощности.

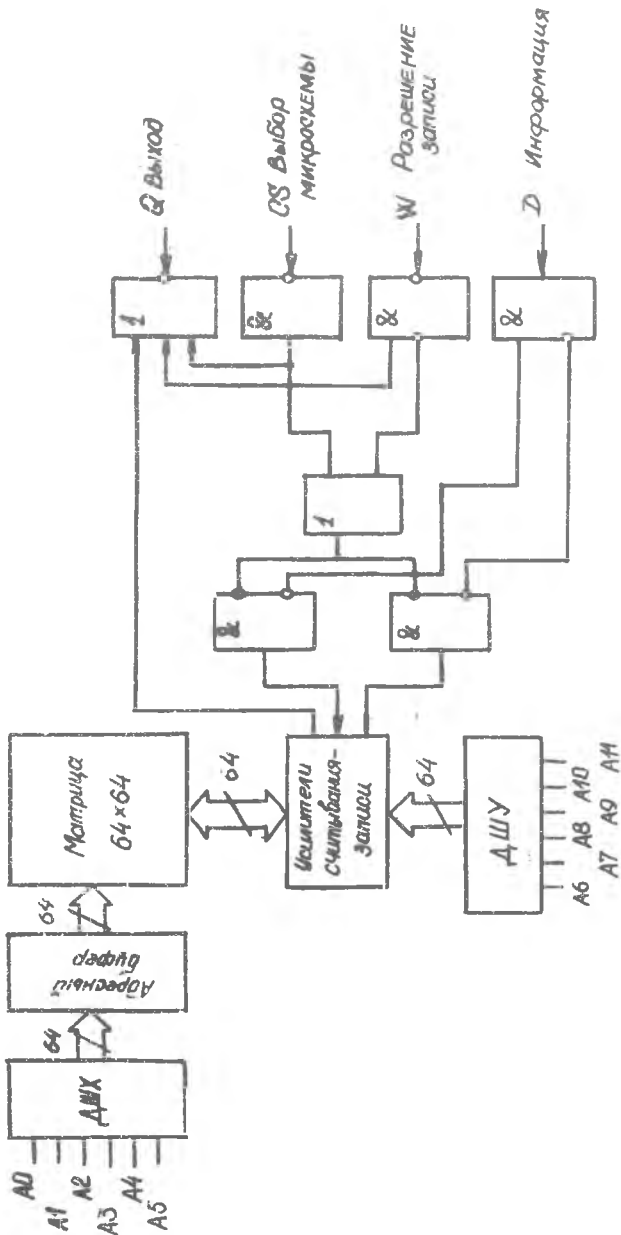
Разрабатывают БИС ОЗУ на основе биполярных и МДП-транзисторов и их модификаций. БИС ОЗУ на биполярных транзисторах представляют собой в основном статические ОЗУ. Они предназначены для применения в качестве регистров процессора сверхоперативной и буферной памяти и характеризуются высоким быстродействием ($t_{\Sigma, a} = 5 \dots 50$ нс). Для их построения используется схемотехника ТТЛ, ТТЛШ, ЭСЛ и И²Л. ЗЭ БИС статических ОЗУ обычно состоят из бистабильной ячейки, хранящей один заряд двоичной информации. Наибольшее применение получили биполярные ЗЭ

на двухэмиттерных транзисторах, тиристорах и элементах И²Д. Схемы ЭЭ на биполярных транзисторах для БИС статических и динамических ОЗУ приведены на рис. 1. Типовая структура БИС статических ОЗУ состоит из матричного накопителя, дешифраторов, усилителей записи-считывания, буферных схем и схем управления.



Р и с. 1. Схемы ЭЭ БИС ОЗУ на биполярных транзисторах: а - на элементах И²Д; б - динамического типа

В качестве примера рассмотрим структурную схему БИС быстродействующего статического ОЗУ К500РУ470 типа ЭСЛ емкостью 4 Кбит (4096x1) (рис. 2). В данной БИС накопитель представляет собой матрицу 64x64, где симметричные статические ЭЭ (см. рис. 1, а) объединяются в строки по адресной шине АШ1 и адресной шине АШ2. Последняя соединяется с общим источником тока хранения. По столбцам ЭЭ объединяются двумя разрядными шинами РШ0 и РШ1, к которым подключаются первые эмиттеры двухэмиттерных транзисторов. По этим шинам производится дифференциально запись или считывание информации. В режиме хранения на шине АШ1 пониженный потенциал, переходы транзисторов база-эмиттер I закрыты, и триггер образован на транзисторах с эмиттерами 2, в одном из которых проходит ток хранения. При выборке строки повышается потенциал на шине АШ1, и через переход база-эмиттер I открытого транзистора проходит ток считывания. Необходимое значение тока считывания обеспечивают генераторы



Р и с. 2. Структурная схема БИС статического ОЗУ типа ЭСЛ
ёмкостью 4096 бит

тока, подключенные к шинам РШ. Вход выбора микросхемы CS (см.рис.2) обеспечивает нужный режим выборки (считывания) или хранения (записи) информации. Выборка информации осуществляется при подаче соответствующих адресных сигналов на дешифраторы ДШХ и ДШУ, в результате адресный дешифратор ДШХ выдает сигнал выборки в адресную шину, а разрядный дешифратор ДШУ - в разрядную шину и включает соответствующие усилители записи-считывания. Вход разрешения записи W позволяет производить запись "0" и "1" в зависимости от состояния входа информации Д. Выход ОЗУ Q нагружается на подключенный к источнику питания 2 В резистор сопротивлением 50 Ом.

Аналогично строятся БИС статических ОЗУ на других биполярных ЗЭ. Использование ЗЭ типа ТТЛШ направлено на повышение быстродействия БИС ОЗУ, а ЗЭ типа И²Д - на повышение информационной емкости. При этом для построения схем выборки микросхемы, дешифраторов и других схем управления используют простейшие вентили типа ЭСД. В буферных схемах, предназначенных для согласования внешних управляющих схем с БИС ОЗУ, используются преобразователи уровней ТТЛ-ЭСД и ЭСД-ТТЛ.

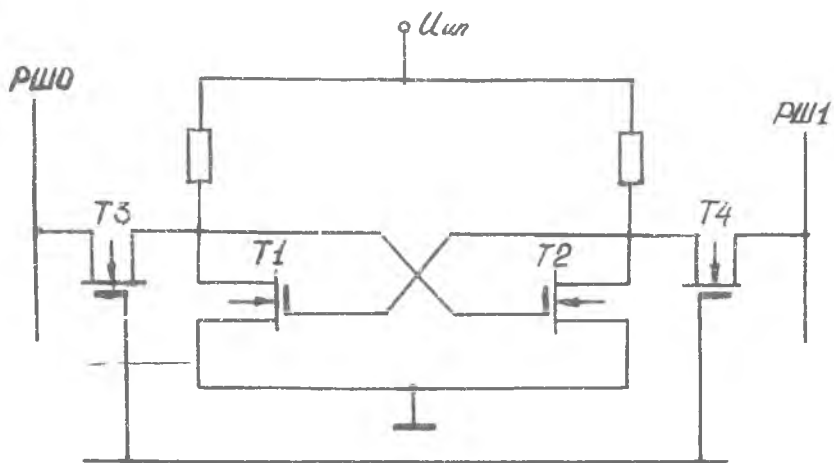
БИС статических ОЗУ на биполярных транзисторах развиваются в основном в области максимального быстродействия ($t_{B.A} = 30..10$ нс для информационной емкости 64...16384 бит).

БИС ОЗУ на МДП-транзисторах представляют собой класс статических и динамических ОЗУ среднего быстродействия. Их разновидность и технические характеристики определяются типом ЗЭ и структурой МДП-транзисторов. БИС ОЗУ на p -МДП-транзисторах являются самыми простыми по схемотехнической и технологической реализации, но обладают низким быстродействием ($t_{B.A} = 500...1000$ нс).

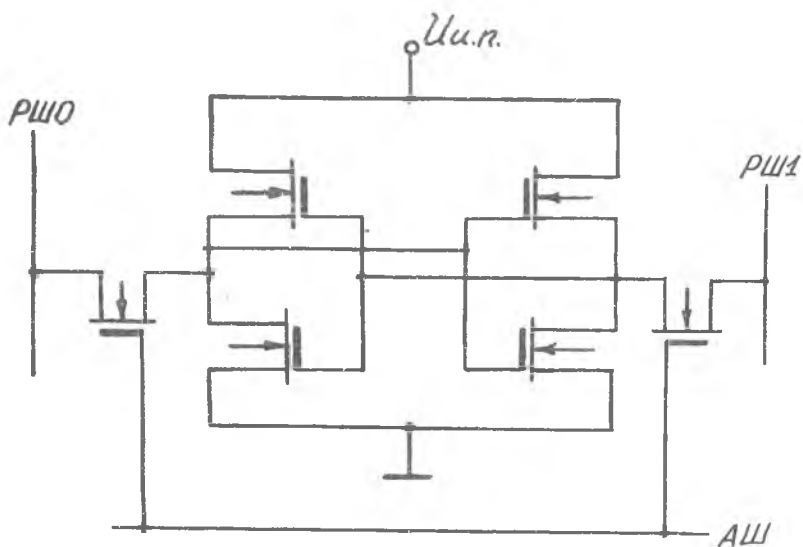
БИС ОЗУ на n -МДП-транзисторах статического и динамического типов имеют $t_{B.A} = 30...500$ нс и в настоящее время являются наиболее распространенными.

ОЗУ различной информационной емкости. БИС ОЗУ на КМДП-транзисторах отличаются повышенной схемотехнической и технологической сложностью, характеризуются средним и низким быстродействием и применяются в основном в микроощной аппаратуре.

Для построения БИС статических ОЗУ используют симметричные бистабильные ЗЭ на одноканальных или КМДП-транзисторах, а для построения БИС динамических ОЗУ-трехтранзисторные или однотранзисторные ЗЭ на n -МДП-структурах (рис.3). ЗЭ статических ОЗУ реализуется на 4-8 транзисторах с тремя информационными шинами (одна АШ, две РШ) и занимает относительно большую площадь (до 10^4 мкм^2) на кристалле (рис.3, а, б).

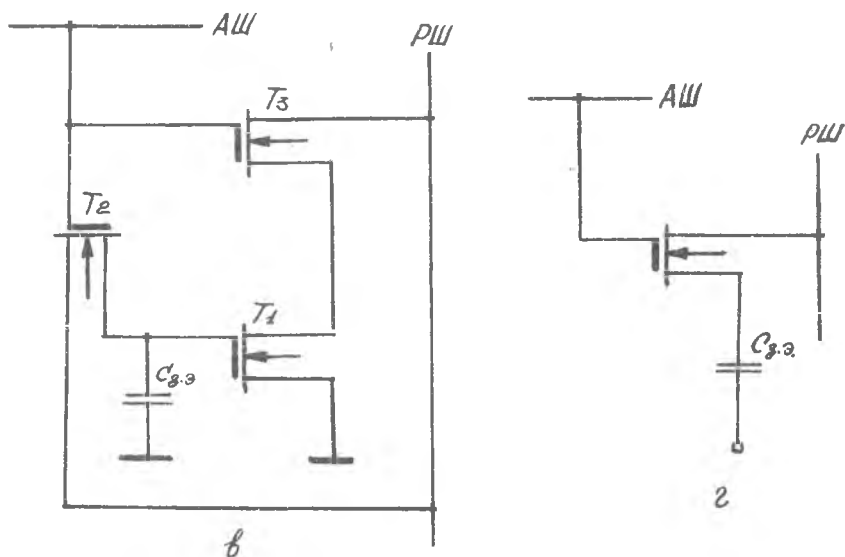


a



б

Р и с. 3. Схемы ЗЭ на МДП-транзисторах БИС ОЗУ статического (а,б) и динамического (в,г) типов

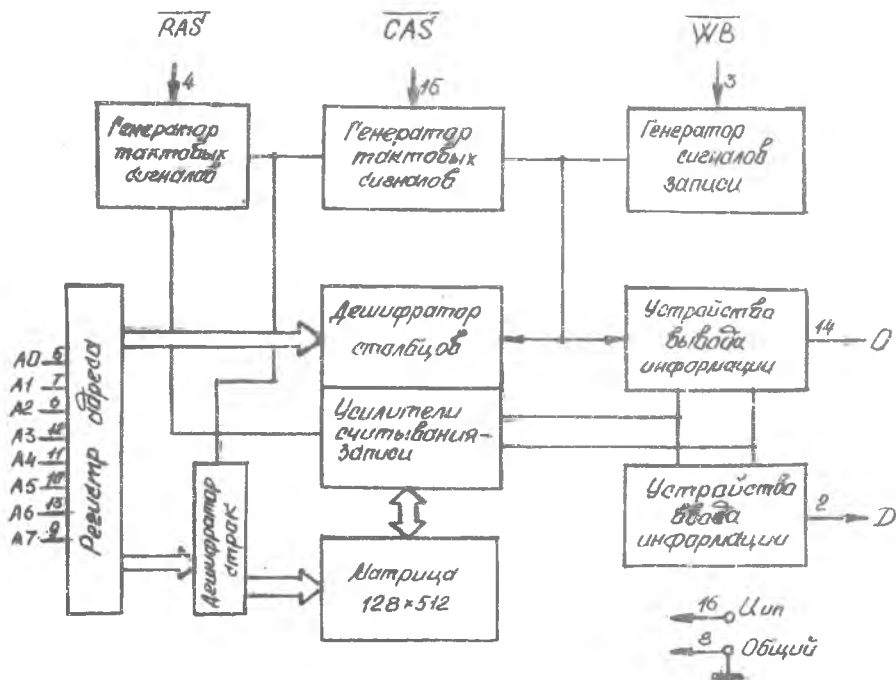


Р и с. 3 (окончание)

В основу работы динамических ЗЭ положено хранение информации в виде заряда на конденсаторе, включенном между информационным МДП-транзистором и общей шиной схемы (нулевой потенциал). Использование трехтранзисторных (рис.3,в) и однотранзисторных (рис.3,г) ЗЭ позволяет существенно повышать степень интеграции БИС и создавать динамические ОЗУ емкостью более 64 Кбит. Однако при этом значительно усложняются схемы управления на кристалле, вводится схема регенерации информации, что приводит к снижению помехоустойчивости.

Независимо от схемы ЗЭ информация хранится в конденсаторе $C_{3,3}$. В трехтранзисторном ЗЭ конденсатор $C_{3,3}$ изолирован от разрядной шины, и считывание информации происходит без ее разрушения. Однако из-за утечки тока в $C_{3,3}$ требуется периодическая регенерация информации, что достигается подачей высокого потенциала на шину АШ и специальной схемой регенерации, подключенной к шинам РШ. В однотранзисторной ЗЭ запись информации производится при подаче потенциала РШ через открытый транзистор. Считывание осуществляется током разрядки емкости $C_{3,3}$ в шины РШ с разрушением информации.

Построение и принцип работы динамического ОЗУ рассмотрим на примере БИС динамического ОЗУ на n -МДП-транзисторах емкостью 64 Кбит, структурная схема которого представлена на рис. 4. Накопи-



Р и с. 4. Структурная схема БИС динамического ОЗУ п-МДП-типа емкостью 64 Кбит

тель в виде матрицы 128×512 выполнен на однотонозисторных ЭЭ. Такая организация обеспечивает полную регенерацию информации за 128 циклов при времени регенерации 2 мс. Два генератора тактовых сигналов управляются сигналами \overline{RAS} (строб адреса строки) и \overline{CAS} (строб адреса столбца). Сигналы, вырабатываемые схемой управления, и сигнал разрешения записи \overline{WE} обеспечивают работу ОЗУ в режимах записи, считывания, регенерации, мультипликации адресов. Для выборки ЭЭ требуется 16-разрядный адресный код, который подается на 8-разрядный адресный регистр в мультиплексном режиме (для сокращения числа выводов БИС). Сначала 8 младших разрядов кода фиксируются на регистре

адреса сигналом \overline{RAS} и выбирается строка. Затем 8 старших разрядов кода фиксируются сигналом \overline{CAS} и выбирается столбец. Сигнал \overline{CAS} одновременно является сигналом выбора микросхемы (в блоке ОЗУ). БИС данного ОЗУ имеет выход с тремя состояниями и совместима по логическим уровням с ИМС типа TTL. Для разработки БИС динамических ОЗУ используют и ЗЭ на И²Л.

БИС ОЗУ на МДП-транзисторах развиваются как статические высоко-го быстродействия ($t_{\text{за}} = 15 \dots 20$ мс) емкостью 1...4 Кбит и динамические большой емкости (до 1 Мбит).

Постоянные запоминающие устройства

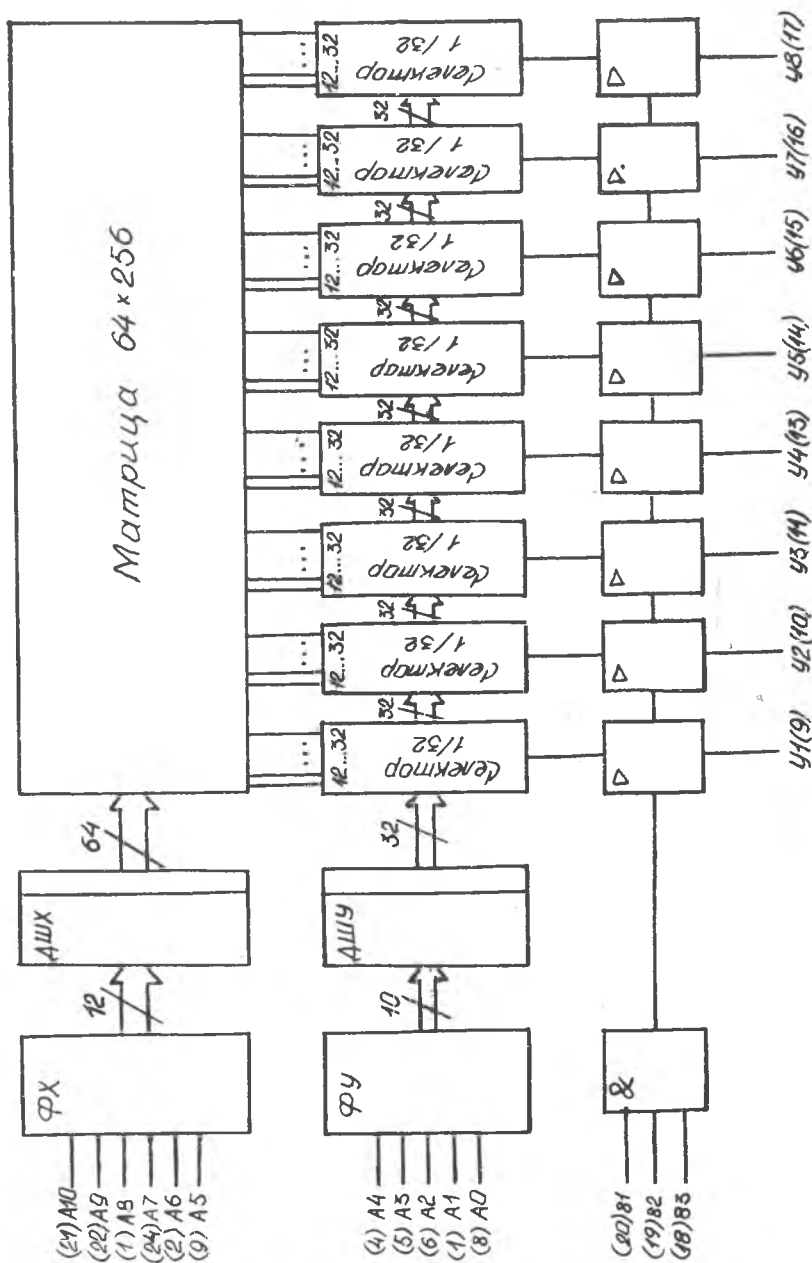
Постоянные запоминающие устройства (ПЗУ) служат для хранения информации, содержание которой не изменяется в процессе работы системы. БИС ПЗУ предназначены для хранения постоянных массивов информации: стандартных подпрограмм и микропрограмм, преобразователей кодов и генераторов символов, констант, табличных значений различных функций и др. Применение БИС ПЗУ расширяет технические возможности ЭВМ, повышает их быстродействие и надежность, позволяет уменьшить количество необходимых БИС ОЗУ. В зависимости от способа занесения информации (программирования) различают три основные разновидности БИС ПЗУ: собственно ПЗУ с масочным программированием (ПЗУМ), электрически программируемые ПЗУ (ППЗУ) и репрограммируемые ПЗУ (РПЗУ). Разновидность БИС постоянной памяти определяется типом ЗЭ, способами занесения и стирания информации. Элементная база и способы программирования для БИС ПЗУ, ППЗУ и РПЗУ приведены на рис. 5, а-в.

Состав таких БИС аналогичен БИС ОЗУ с двухкоординатной выборкой (в основном). БИС содержат матричный накопитель для хранения m -разрядных двоичных слоев, дешифраторы строк и столбцов, адресные формирователи, усилители считывания, селектор (разрядный формирователь) и другие схемы управления. ЗЭ располагаются в матричном накопителе в месте пересечения адресных и разрядных шин.

В БИС ПЗУ на ЗЭ, представленных на рис. 5, а, занесение информации осуществляется на этапе изготовления с помощью сменного фотошаблона путем изменения конфигурации металлизированной разводки или селективного вскрытия контактных окон под металлизацию. Соединение ЗЭ с шинами АШ и РШ соответствует хранению "1", отсутствие соединения — хранению "0". Такие ПЗУ называют масочными. Пример построения ПЗУМ на биполярных структурах показан на рис. 6, где приведена

Тип	Элемент платы	Элемент программирован.	Способ программирован.	Способ стирания
ПЗУ		металлические соединения	Фоташоалан	
	α	Контактные окна		
ППЗУ		Переключ. (металлоплатные кристаллы)	Электрическое переключение	нет
	δ			
	β			
РПЗУ	ϵ		диод Шоттки	Электрический
	θ		МЗ-МДП транзистор	
	ϵ		МДП-транзистор	
	ζ		диод-транзистор	
	η		Аморфн. п/п-элемент	

Р и с. 5. Запоминающие элементы БИС ПЗУ

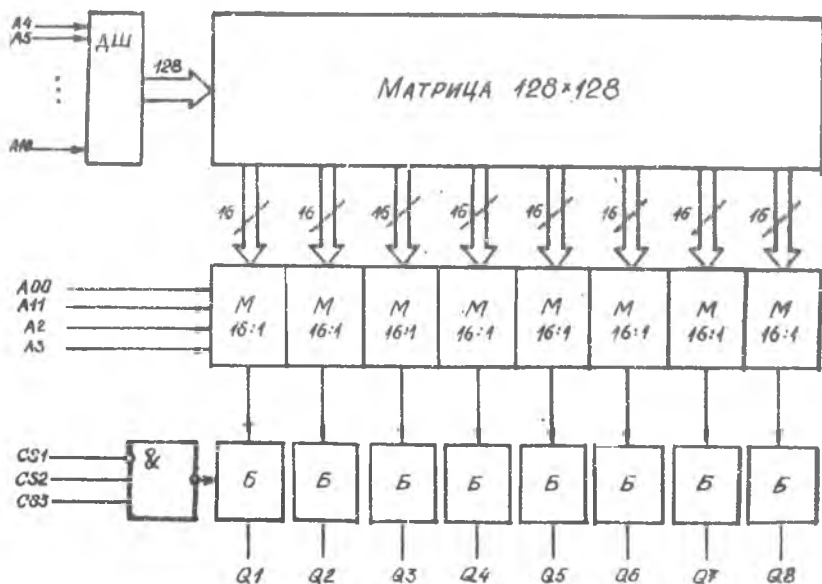


Р и с. 6. Структурная схема ПЗУМ емкостью 16 Кбит

структурная схема БИС ПЗУ типа ТТЛШ КР554РЕ4 емкостью 16 Кбит (2048хх16). Выборка слоев осуществляется II-разрядным кодом, подаваемым на адресные входы А0 ... А10. Восемь выходных считывающих формирователей стробируются трехходовым вентилем разрешения выборки. Информация проходит на выходные клеммы У1-У8 только при коде П0 (младший разряд В1). Масочные БИС ПЗУ выпускаются в основном на биполярных и МДП-структурах и предназначены для массового применения в качестве генераторов символов, преобразователей кодов и др.

В БИС ПЗУ информация, подлежащая хранению, заносится однократно после сборки кристалла в корпусе электрическими сигналами либо путем пережигания перемычек, включенных последовательно с ЗЭ (рис.5,б), либо пробоем β - η -перехода ЗЭ (рис.5,в,г). Наибольшее распространение получило программирование пережиганием плавких перемычек из никрома, поликристаллического кремния, реже алюминия. В первых отечественных ИМС ПЗУ (КР556РТ4) в качестве ЗЭ использовались многоэмиттерные транзисторы, в цепи эмиттеров которых включались никромовые перемычки. Разрабатываются БИС ПЗУ по технологии ЭСД, ТТЛ, И²Л, η -МДП, ТТЛШ.

На рис. 7 приведена структурная схема БИС ПЗУ типа КР556РТ7



Р и с . 7. Структурная схема БИС ПЗУ емкостью 16 Кбит (М-мультиплексор; Б-выходной буфер)

емкостью 16 Кбит (2048x8). Матричный накопитель имеет организацию (128x128). ЗЭ состоит из диодов Шоттки и никромовой пережигаемой перемычки. До записи информации перемычки целые и в накопителе хранится информация "0". Программирование "1" осуществляется пережиганием никромовых перемычек импульсом тока амплитудой 30...50 мА путем подачи электрических сигналов на внешние выводы БИС.

Следует отметить, что БИС ПЗУ и ППЗУ на биполярных структурах обладают высоким быстродействием ($t_{\text{за}} = 15...150$ нс), имеют удельную потребляемую мощность $P_0 = 0,01...0,8$ мВт/бит и информационную емкость 1024...65536 бит.

Для БИС ПЗУ и ППЗУ на основе МДП-структур и их модификаций характерным является большая информационная емкость (256 Кбит и более), при этом $t_{\text{за}} = 70...4000$ нс, а $P_0 = 0,01...0,3$ мВт/бит.

Большинство БИС ППЗУ имеет время выборки 50...1500 нс, информационную емкость 1...256 Кбит и удельную потребляемую мощность менее 0,5 мВт/бит.

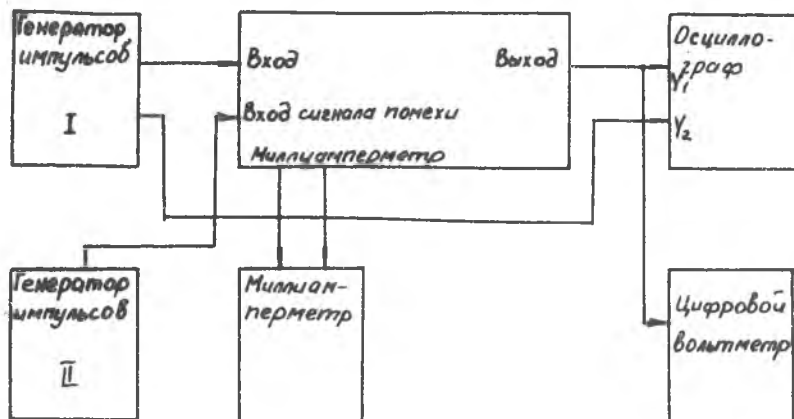
ПРИНЦИП ДЕЙСТВИЯ ЭКСПЕРИМЕНТАЛЬНОЙ УСТАНОВКИ

Макет лабораторной установки собран на базе ОЗУ на 64 бит с произвольной выборкой (16x4) типа K155PУ2, что позволяет изучить работу микросхемы в статическом и динамическом режимах. В статическом режиме с помощью переключателей "Адрес" задается номер ячейки ЗУ микросхемы, а переключателями "Данные" осуществляется подготовка информации, предназначенной для записи в ЗУ. Переключатели "Разрешение записи" и "Разрешение выборки" позволяют записать информацию или считать ее. Блок-схема измерительного стенда приведена на рис. 8.

Среднее время задержки определяется путем наблюдения с помощью 2-канального осциллографа (рис.9,эпюра I) входного и выходного импульсов и измерения времени запаздывания выходного импульса относительно входного.

Быстродействие ЗУ определяют экспериментально по величине длительности входного импульса, при которой логические уровни не определены (см.рис.9,эпюра 2).

Для измерения статической помехоустойчивости включить и настроить генератор II; выполняя условия $f_1 = f_2$, $\tau_1 = \tau_2$, где f_1 - частота I генератора; f_2 - частота II генератора; τ_1, τ_2 - длитель-



Р и с. 8. Блок-схема измерительного стенда

ности импульсов генераторов I и II соответственно. Увеличивая амплитуду импульсов генератора II, добиться появления ложных срабатываний ЗУ (см. рис. 9, эпюра 3).

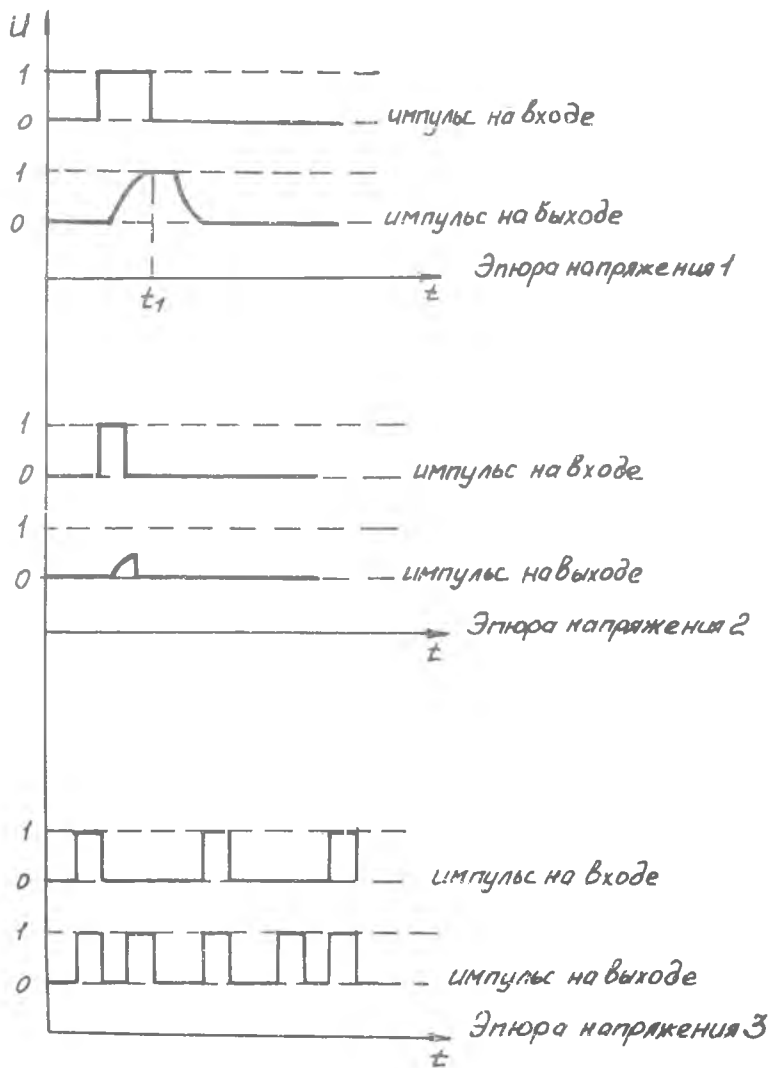
Коэффициент объединения по входу и разветвления по выходу устанавливается переключателями.

Логический уровень микросхемы измеряется цифровым вольтметром в статическом режиме (т.е. генератор I и II отключены). Средняя мощность потребления определяется с помощью выражения

$$P_{cp} = \frac{1}{2} (P_0 + P_1).$$

ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТЫ

1. Ознакомиться с правилами техники безопасности работы с электроприборами.
2. Изучить принцип действия приборов экспериментального стенда.
3. Собрать измерительный стенд согласно блок-схеме, представленной на рис. 8.
4. Снять зависимости статической помехоустойчивости и среднего времени задержки сигнала от коэффициента разветвления по выходу.



Р и с. 9. Осциллограммы напряжений на входе и выходе исследуемого элемента

5. Исследовать зависимость статической помехоустойчивости, среднего времени задержки сигнала и быстродействия от коэффициента объединения по входу.

6. Определить среднюю мощность, потребляемую микросхемой, в случаях, когда мощность, потребляемая микросхемой, значительно меньше и значительно больше мощности, потребляемой в одном из статических состояний.

7. Определить логический уровень.

8. Результаты измерений оформить в виде таблицы и построить графики.

СОДЕРЖАНИЕ ОТЧЕТА

Отчет выполняется на листах формата А4 и начинается с титульного листа. Отчет содержит:

1. Цель работы.
2. Задание.
3. Перечень приборов, используемых в эксперименте.
4. Блок-схему экспериментальной установки.
5. Таблицы экспериментальных данных.
6. Графики.
7. Выводы с кратким изложением физических основ работы ЗУ данного типа.

КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Оперативные запоминающие устройства.
2. Постоянные запоминающие устройства.
3. Классификация запоминающих устройств.
4. Определение логического уровня и средней мощности, потребляемой микросхемой.
5. Среднее время задержки сигнала и быстродействие микросхемы.
6. Нагрузочная способность и коэффициент объединения по входу.
7. Статическая помехоустойчивость.
8. Схемотехническая реализация основных логических функций интегральных микросхем.
9. Какие механизмы формируют параметры микросхем: логический перепад и потребляемую мощность; быстродействие и среднее время задержки сигнала; нагрузочную способность микросхемы?

Ю. Достоинства и недостатки цифровой интегральной логики.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

Ефимов И.Б. Козырь И.Я., Горбунов Ю.И. Микроэлектроника, М.:
Выш.шк., 1987. С. 257-296.

ИНТЕГРАЛЬНЫЕ МИКРОСХЕМЫ
ЗАПОМИНАЮЩИХ УСТРОЙСТВ

Составители К о л п а к о в Анатолий Иванович
Б о р о д и н Сергей Александрович

Редактор Е.Д.А н т о н о в а
Техн.редактор Н.М.К а л е н ю к
Корректор Е.Г.Ф и л и п п о в а

Подписано в печать 1.02.91. Формат 60x84¹/16.
Бумага оберточная. Печать оперативная. Уч.-изд.л.
Усл.п.л.1,39.Усл.кр.-отт.1,5.Уч.-изд.л.1,31.
Тираж 300 экз. Заказ № 556. Бесплатно.

Куйбышевский ордена Трудового Красного Знамени
авиационный институт имени академика С.П.Королева.
443086 г. Куйбышев, Московское шоссе, 34.

Тип. им. В.И.Мяги Куйбышевского полиграфического
объединения. 443099 г.Куйбышев, ул.Венцека, 60.