

$$y_{\text{вых}} = \left[ 1 + \frac{|x_1| + |y_1|}{C_M} \cdot \left( \frac{|x_1| + |y_1|}{\sqrt{x_1^2 + y_1^2}} - 1 \right) \right] \cdot y_1. \quad (13)$$

С целью упрощения микропроцессорного корректирующего устройства представим формулы для выходных величин с помощью двух коэффициентов коррекции  $\kappa_1$  и  $\kappa_2$ :

$$x_{\text{вых}} = [1 + \kappa_1 \cdot \kappa_2] \cdot x_1, \quad y_{\text{вых}} = [1 + \kappa_1 \cdot \kappa_2] \cdot y_1. \quad (14)$$

Здесь принято:

$$\kappa_1 = \frac{|x_1| + |y_1|}{C_M}, \quad \kappa_2 = \frac{|x_1| + |y_1|}{\sqrt{x_1^2 + y_1^2}} - 1. \quad (15)$$

Вычисления в микропроцессорном узле производятся по корректирующему полиному, аналитически задающему в декартовых координатах в явном виде выходную координату  $U_{\text{ВЫХ } x}$  или  $U_{\text{ВЫХ } y}$ . Независимыми переменными в этом полиноме выступают  $x_1$  и  $y_1$  – координаты соответствующей точки деформированной окружности.

Для вычисления полинома в микропроцессорном узле преобразователя выбран восьмиразрядный однокристалльный микроконтроллер отечественного производства типа КМ1830ВЕ51, который является функциональным аналогом микроконтроллера типа 80С51ВН из семейства MCS-51 фирмы Intel. Основной особенностью вычислительных процедур микроконтроллера является то, что его микропроцессор оперирует только положительными и целыми двоичными числами, поэтому требуемая точность вычисления данных обеспечивается алгоритмически программным путем.

#### Список использованных источников

1. Ухлинов Д.И. Двухкоординатные вихретоковые преобразователи механических величин с микропроцессорной коррекцией функции преобразования. – Самара: Самарский научный центр РАН, 2006. – 142 с., ил.

## ПРИНЦИПЫ ИТЕРАЦИОННОГО МОДЕЛИРОВАНИЯ ЛОГИЧЕСКИХ СХЕМ

Г.Ф. Краснощекова

Самарский государственный аэрокосмический университет, г. Самара

Логическая схема, может быть, представлена совокупностью логических комбинационных элементов и элементов памяти (триггеры, элементы задержки). Математические модели таких схем представлены в виде

уравнений с указанием связи её элемента и функциональной зависимости выходных сигналов от входных и от внутренних состояний элементов.

Сигналы, поступающие на входы логических элементов и формируемые на выходе, представлены в модели в модели сигналов, с учетом отображения различных свойств реальных сигналов. Простейшей и наиболее распространённой моделью сигналов является двоичное или булева модель, в которых переменная в основных уравнениях:

$$y(i)_{\Sigma} = f(x_1; x_2; \dots; x_k; y(1); y(2); \dots; y(n));$$

где  $j=1,2 \dots N$  – номер элементов логической схемы;

$y(j)$  – значение выходных сигналов  $j$  – го элемента в момент времени  $t$ .

$x_1, x_2, \dots, x_k$  - значение входных сигналов логической схемы;

$y(1), y(2), \dots, y(N)$  - значение выходных сигналов соответствующих элементов логической схемы, т.е. модель построена как совокупная модель элементов схемы.

В алгоритмах булевого моделирования предполагает, что сигнал находится в одном из устойчивых состояний (0, 1), время задержки переключения элементов равен нулю.

Моделирование производит путём последовательного вычисления значений сигналов на выходе по значениям на их входах.

Все эти алгоритмы описывают на принципе итерационного решения, используя итераций. При этом вводят два параметра моделирования:

- шаг итерации – выполнение логических и алгебраических действий;
- такт моделирования – многошаговый итерационный процесс, в результате которого из фиксируемого значения сигнала на входе получают установившиеся значения и на выходе.

Элементы в логических схемах могут быть соединены последовательно, последовательно-параллельно и соответственно будут иметь вид согласно схеме.

Например, при последовательном соединении логических элементов имеем:

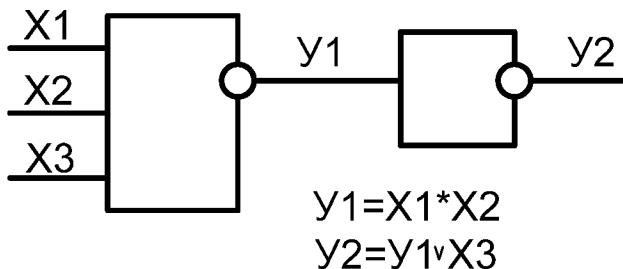


Рис. 1. Последовательное соединение логических элементов

При последовательно-параллельном соединении логических элементов имеем:

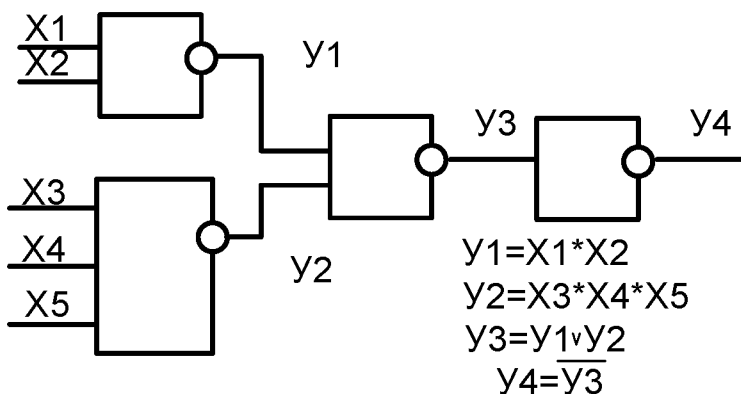


Рис.2. Последовательно-параллельное соединение логических элементов

Последовательность решений соответствует реальному прохождению сигналов, однако не всегда возможно решить задачу в соответствии с последовательностью прохождения сигнала в схеме, часто в схеме имеются обратные связи (например, триггер). В таких случаях может оказаться, что решений не существует или их будет несколько. Для таких задач существует анализ логических схем с использованием:

- методов простых итераций когда на каждом шаге итераций вычисляют новое состояние выходных сигналов (j) –ого элемента;
- методов Зейделя, когда для вычисления состояния (j) –ого элемента схемы в каждой итерации используется вычисленные для него состояния элементов;
- метода событийного моделирования, когда на каждом шаге итерации решаются уравнения только тех элементов, в которых могут произойти изменения выходных сигналов.

#### Список использованных источников

1. Автоматизация проектирования цифровых устройств/ Под ред. Э.И. Гитиса. - М.: Энергоатомиздат, 1987. 184 с.