

## МОДЕЛЬ МИКРОКОНТРОЛЛЕРНОГО FMU ЯДРА НА БАЗЕ FPGA ДЛЯ НАУЧНОЙ КОСМИЧЕСКОЙ АППАРАТУРЫ

К.И. Сухачёв, Д.П. Григорьев

«Самарский национальный исследовательский университет имени академика С.П. Королёва», г. Самара

**Ключевые слова:** космический аппарат, микрометеороиды, микроконтроллер, ПЛИС, RISC, FMU.

В космической научной аппаратуре, предназначенной для регистрации микрочастиц естественного происхождения, необходимо иметь высокоскоростные тракты обработки сигналов, ввиду высоких пролётных скоростей микрочастиц. Для повышения скорости, и как следствие, точности обработки данных, необходимо использовать скоростные вычислительные модули на базе ПЛИС или микроконтроллеров [1, 2]. ПЛИС удобно применять в случае простых коммутаций системы (CPLD), или параллельных математических вычислений (DSP, FPGA), не занимая при этом много времени работы прибора. Однако ПЛИС сложна с точки зрения построения программного обеспечения, например, операционных систем, или запуска таких интерфейсов, как Ethernet. Микроконтроллеры в свою очередь проще по построению и отладке программного обеспечения и реализации разного рода периферии, но они недостаточны по скорости обработки информации, ввиду одного вычислительного ядра.

Настоящая работа посвящена разработке нового микроконтроллерного ядра, на базе отечественной ПЛИС, чтобы совместить достоинства как ПЛИС, так и микроконтроллера [3]. Разрабатываемое ядро называется FMU - Flexible Microcontroller Unit (гибкий микроконтроллерный блок). Его достоинством служит гибкость периферии под требования пользователя. Другими словами, пользователь может задать любое количество внешних таймеров, и после загрузки программы, блоки таймеров разблокируются в том количестве, в каком запрашивает пользователь. Это же касается и инструкций. Также и сам микроконтроллер может в любой момент времени быть переконфигурирован на разный набор периферии, что исключает необходимость в поисках и приобретения других микросхем с нужными интерфейсами. В рассматриваемом микроконтроллере всё целиком подвергается программированию. Ядро и периферия программируются для ПЛИС на языке `verilog`, а программа для сконфигурированного ядра и периферии пишется на СИ-подобном языке. Для преобразования СИ-подобного языка в двоичный код прошивки микроконтроллера, разработан соответствующий компилятор, который на выходе генерирует уже готовые пакеты для программирования микроконтроллера. Архитектура ядра и

набор инструкций реализована на основе предыдущей модели IP-ядра, рассматриваемой в [3]. Схема новой архитектуры микроконтроллерного блока показана на рисунке 1.

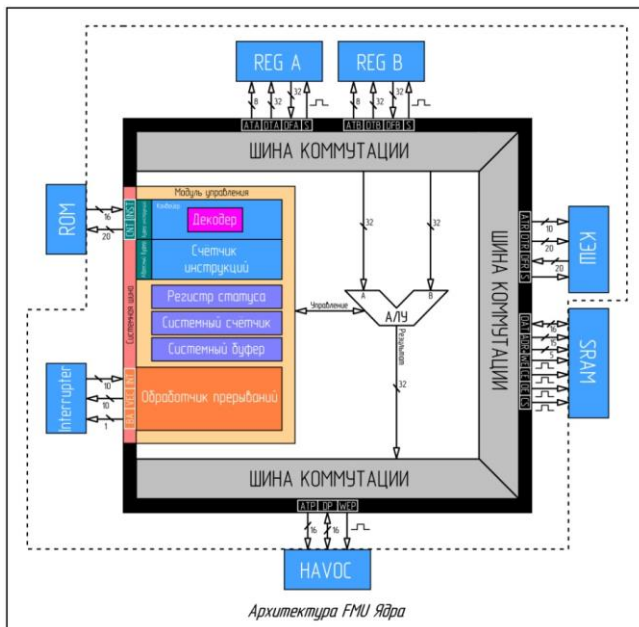


Рисунок 1 – Краткая схема разрабатываемой архитектуры FMU Ядра

Само ядро представляет собой АЛУ (арифметико-логическое устройство). Оно выполняет некоторые арифметические операции двух чисел А и В, которые выставляются по 32-ух разрядным шинам. Блоком АЛУ управляет модуль управления, который исполняет поступающие из ROM инструкции. В нём находится счётчик инструкций, буфер инструкций, и декодер инструкции. В процессе работы, счётчик программ взаимодействует с ROM (память программ), и в буфер инструкций загружается текущая инструкция программы. Счётчик инструкций, в свою очередь, выдвигает следующую инструкцию из буфера в декодер. Описанная последовательность представляет собой линию, из которой формируется конвейер обработки инструкций. После декодирования инструкции, начинается выполнение этой инструкции с помощью периферии на системной / коммутационной шине или на АЛУ. После, результат записывается в регистровую память. Регистровая память ядра составляет 5 блоков, из которых 3 блока располагаются внутри, и 2 снаружи. Внутренние блоки представляют собой регистры общего назначения (банки А, В) по 1Кб, кэш ядра 2,5Кб. Внешние блоки

представляют собой внешнюю динамичную ОЗУ (SRAM) 2Мб, и внешнюю 16-тирично-адресуемую обширную область НАВОС (для подключения модулей периферии, таких как микросхемы накопления данных, сопроцессоров и т.д.). Основные характеристики ядра:

1. аппаратная поддержка умножения и деления;
2. поддержка 16-ти разрядных и 32-ух разрядных инструкции;
3. наличие 20-ти разрядной шины адреса памяти программ;
4. наличие контроллеров внешней памяти;
5. наличие 1024 векторов прерываний;
6. поддержка инструкций для потоковых операций чтения и записи из ОЗУ в ПРФ и наоборот.

#### Список использованных источников

1. Воронов К.Е., Григорьев Д.П., Телегин А.М. Исследование алгоритмов для системы контроля поверхности космического аппарата на основе пьезодатчиков // Авиакосмическое приборостроение. – 2021. – № 1. – С. 40-50.

2. Воронов К.Е., Григорьев Д.П., Телегин А.М. Применение нейронной сети прямого распространения для локализации места удара микрочастиц о поверхность космического аппарата // Труды МАИ. – 2021. – № 118. – С. 1-35.

3. Сухачёв К.И., Воронов К.Е., Дорофеев А.С. Разработка высокопроизводительной вычислительной системы на базе IP-ядра для космической научной аппаратуры // Научное приборостроение. – 2022. – Т.32. – С. 88-106.

Сухачёв Кирилл Игоревич, доцент, с.н.с., kir.sukhachev@gmail.com  
Григорьев Данил Павлович, аспирант гр. А202, dan-22225@yandex.ru

УДК 629.78

## СРАВНЕНИЕ ХАРАКТЕРИСТИК IP-ЯДРА ПРИ РЕАЛИЗАЦИИ НА РАЗЛИЧНЫХ ИМС ПЛИС

Д.А. Шестаков, А.А. Артюшин

«Самарский национальный исследовательский университет имени академика С.П. Королёва», г. Самара

**Ключевые слова:** ПЛИС, IP-ядро, микроконтроллер.

При разработке научной аппаратуры приоритетным является использование высоконадежной элементной базы. Часто дополнительным условием является применение отечественной элементной базы. В связи с этим было разработано универсальное IP-ядро «NMR», которое можно применять для систем управления, обработки и сбора информации все зависимости от применяемой элементной базы [1].